



孕龍科技股份有限公司
ZeroPlus Technology Co., Ltd.

SPECIFICATION

MODEL: B09014-LAP-Compact Flash 4.1-M

PART NO : _____

VERSION : V1.01

Approver		Check	Design
GM	PM		

Customer Confirm

* Please fax the file to
ZeroPlus Technology after
signing.

2F, NO.123, Jian Ba Rd,
Chung Ho City, Taipei Hsian, R.O.C.

Tel:+886-2-66202225
Fax:+886-2-22234362



目录

1	软件注册	3
2	人机界面	5
3	使用说明	7



1 软件注册

软件注册请依照下列步骤进行注册。

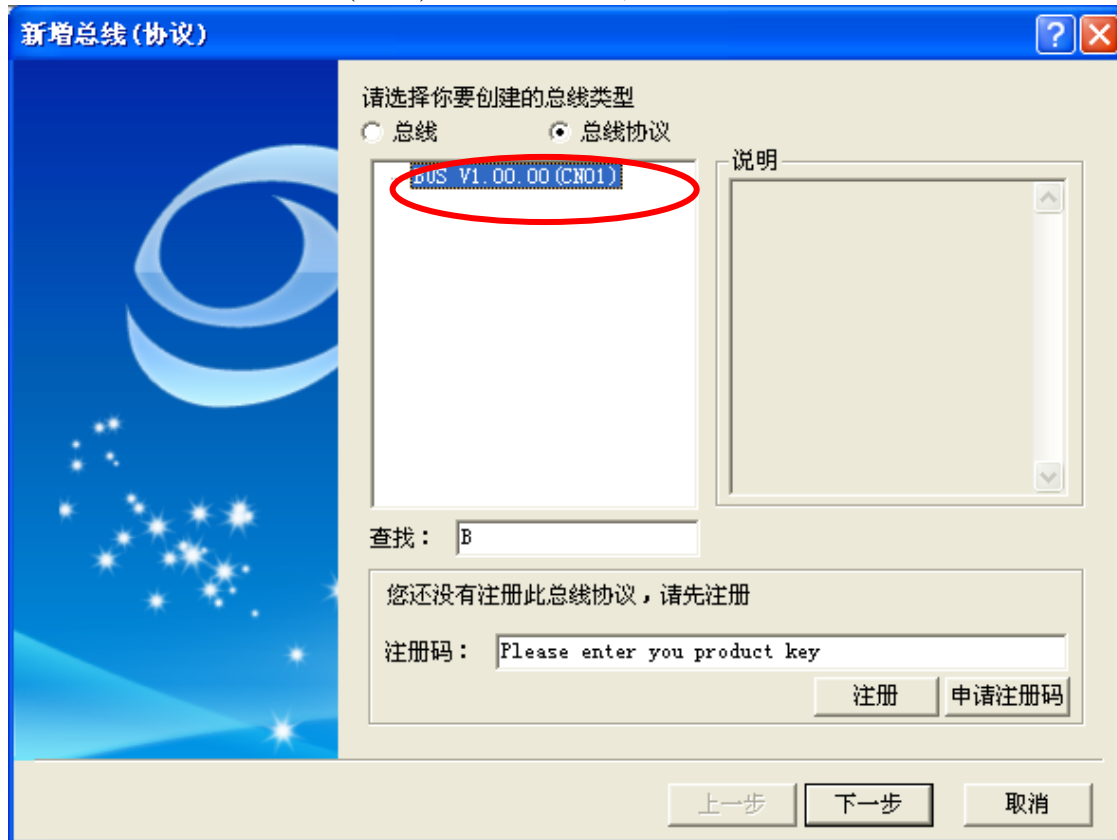
※ 注 1：所有总线注册程序皆相同，注册时依照程序即可，下图注册以 **BUS** 总线协议为范例，藉以参考。

※ 注 2：本说明书若有任何改动恕不另行通知。因模组版本升级而造成的与本说明书不符，以模组软件为准。

STEP 1. 打开逻辑分析仪软体，在采样->新增总线(协议)菜单，调出新增总线(协议)对话框。

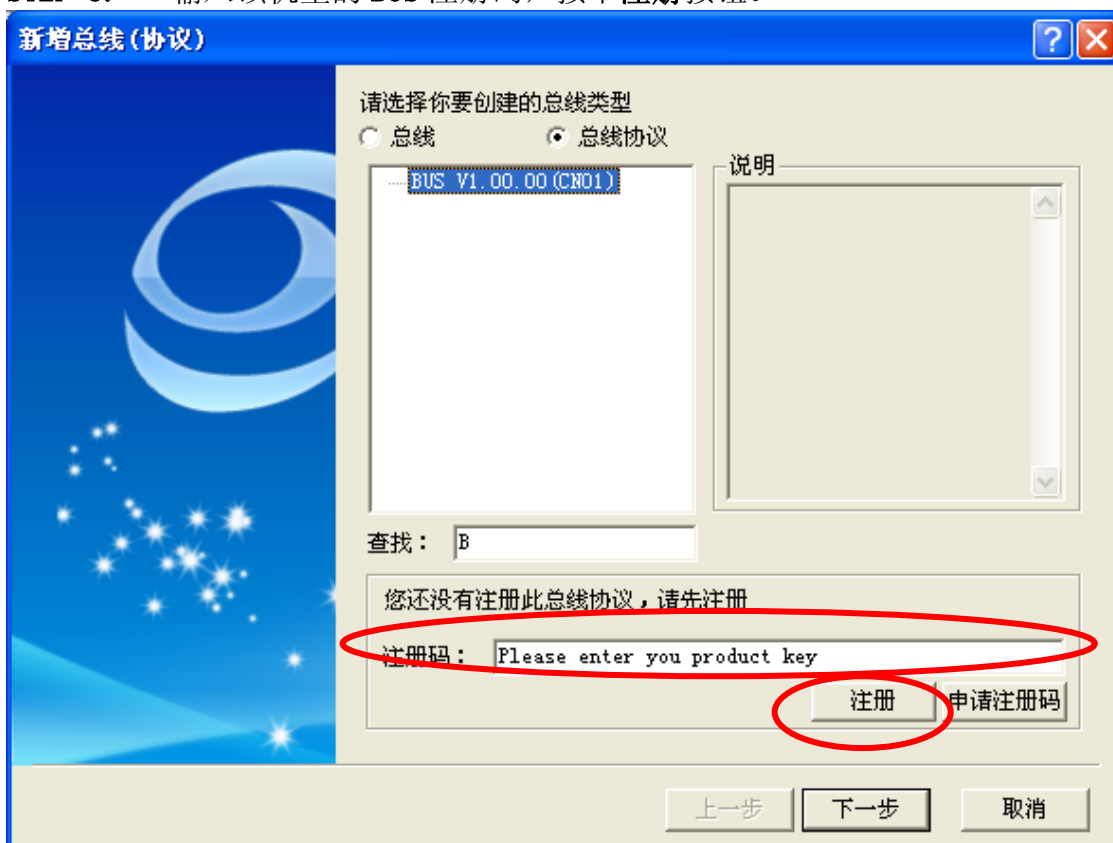


STEP 2. 在新增总线(协议)对话框，展开其它总线类，选择 BUS。

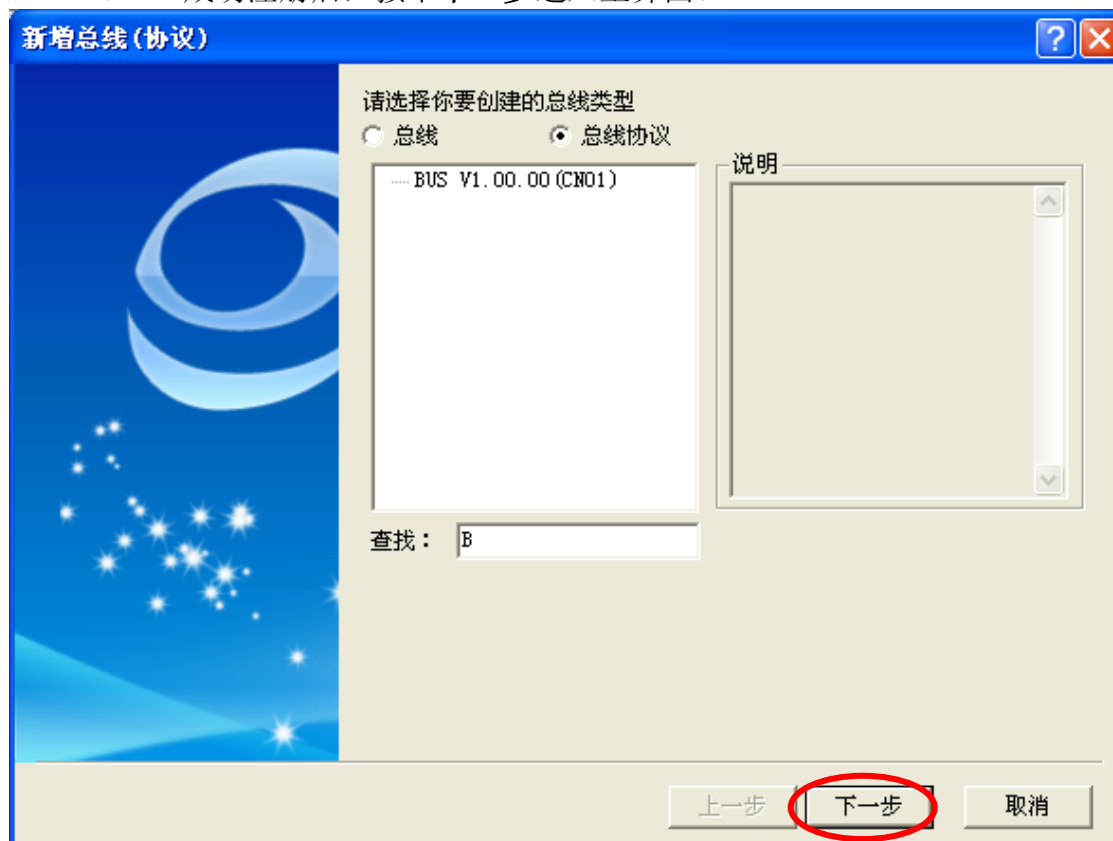




STEP 3. 输入该机型的 BUS 注册码，按下注册按钮。



STEP 4. 成功注册后，按下下一步进入主界面。





2 人机界面

在设定页，相关设定可参考下图界面。

总线协议设定：

模式选择：暂时只有 True IDE Mode 可以选择。

采样边沿：默认采样边沿为 IORD 与 IOWR 的上升沿，可设定采样边沿为下降沿。

通道设定：对 True IDE Mode 的信号进行解码需要 26 个通道，因此必须选择 32 通道以上的逻辑分析仪抓取信号，16 通道的不支持。界面中 D0-D15 只可以设置 D0 通道，后面的 15 个通道是递增的。

总线协议格式：使用者可自行设定解码字段的颜色。Read, Status, Sector Count, Card/Head, Write, Command, Sector NO., Error Register, Address, Cylinder Low, Features, Data, Cylinder High 封包使用者可自定义进制显示，当启动自定义进制显示时，以模组进制显示设定为准，不启用时，以主程式设定数据格式为准。



总线协议格式

子项	颜色	进制显示	子项	颜色	进制显示
Read		默认	Error Register		默认
Status		默认	Address		默认
Sector Count		默认	Cylinder Low		默认
Card/Head		默认	Features		默认
Write		默认	Data		默认
Command		默认	Cylinder High		默认
Sector NO.		默认			

确定

取消

默认值

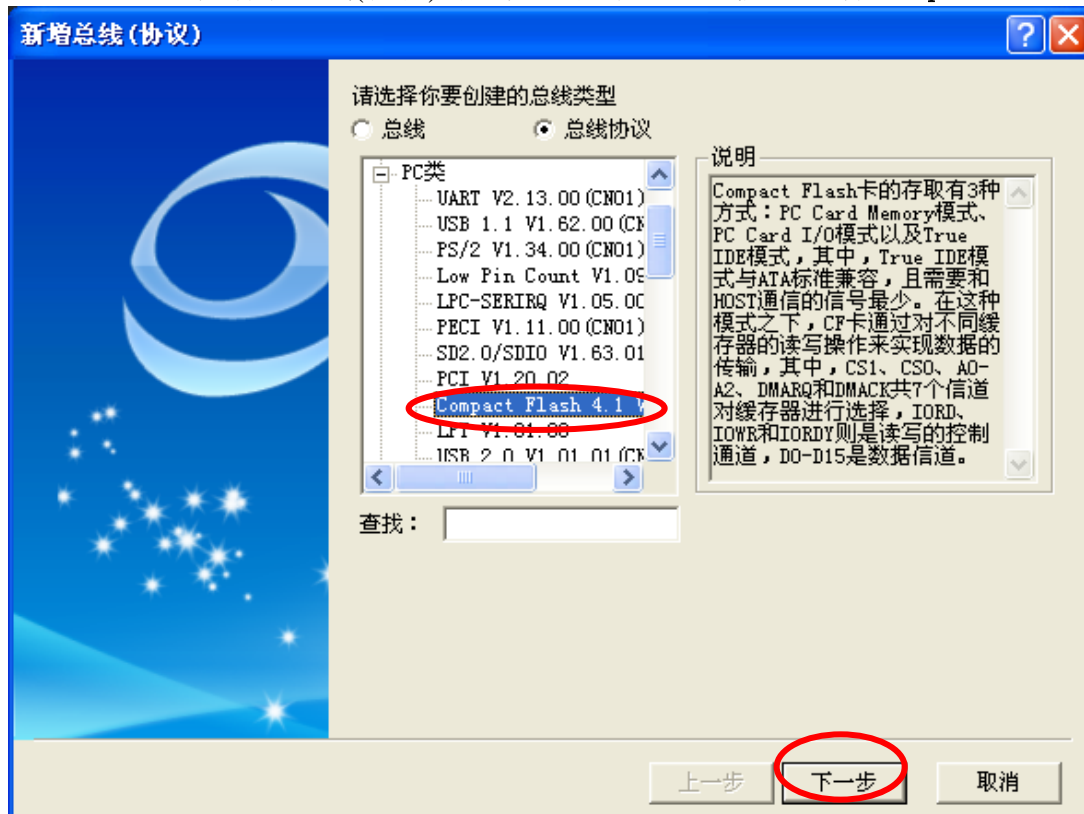


3 使用说明

STEP 1. 在采样->新增总线(协议)菜单，调出新增总线(协议)对话框。



STEP 2. 在新增总线(协议)对话框，展开 PC 总线类，选择 Compact Flash 4.1, 按下下一步。



STEP 3. 总线协议设定。



Compact Flash 4.1总线协议

总线协议设定

模式选择: True IDE Mode

采样边沿: 上升沿

总线协议格式

设定...

通道设定

DMARQ: A0 DMACK: A1 CS1: A2

CS0: A3 A0: A4 A1: A5

A2: A6 IORD: A7 IOWR: A8

IORDY: A9 D0-D15: A10 -----> B9

默认值 上一步 下一步 取消

STEP 4. 点击设定按钮，进行总线协议格式设定。

Compact Flash 4.1总线协议

总线协议设定

模式选择: True IDE Mode

采样边沿: 上升沿

总线协议格式

设定...

通道设定

DMARQ: A0 DMACK: A1 CS1: A2

CS0: A3 A0: A4 A1: A5

A2: A6 IORD: A7 IOWR: A8

IORDY: A9 D0-D15: A10 -----> B9

默认值 上一步 下一步 取消



STEP 5. 通道设定。

STEP 6. 按下下一步完成所有设定。

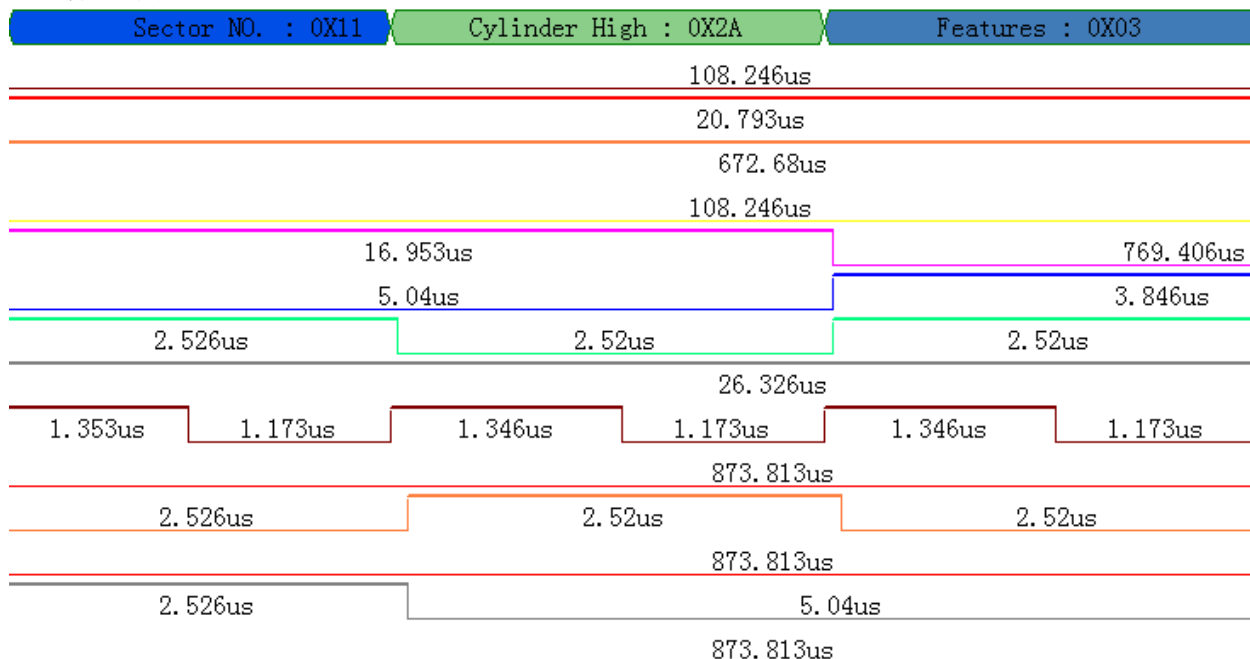


STEP 7. 輸入总线名称及点选是否清除软体中其它的总线和通道，按下**完成**按钮。



STEP 8. 总线协议分析模组解码完成图示，设定条件为任一边沿，记忆深度为 128K，采样频率为 200MHz。（采样频率最好是待测讯号的 8 倍以上）

总线协议解码





封包列表

总线封包列表

数据统计

内存分析

封包 #	名称	起始点	Sector NO	Cylinder High	Features
1	Bus1(Compact Flash 4.1)	0.01193ms	11	2A	03
封包 #	名称	起始点	Select Card/Head	Data(W)	
2	Bus1(Compact Flash 4.1)	0.0195ms	1C	256BYTES	
封包 #	名称	起始点	Data(W)		
3	Bus1(Compact Flash 4.1)	0.34954ms	256BYTES		